

Ens trobem immersos en un projecte de gran abast i ens demanen col·laborar en el disseny i implementació d'un sistema microprocessat propi. Aquest sistema es produirà 'en sèrie' i, a través de diferents mòduls d'entrada/sortida, oferirem diverses solucions. El cap del projecte (després de parlar amb els 'analistes') ens ha comprat uns processadors de 32bits que, segons ell, són 'revolucionaris' (potser el comercial era molt hàbil). Aquests processadors tenen els següents senyals:

Bus de dades D0..D32, Bus d'adreces A0..A32, Quatre senyals 'Byte Enable' BE0..BE3 (per selecció de byte), senyals #RD (habilitació de lectura), #WR (habilitació d'escriptura), READY (per inserir estats d'espera), INT (petició d'interrupció) i INTA (reconeixement d'interrupció). (pel que sembla és un 386 'típic').

Juntament amb el processador li han 'endossat' unes memòries dinàmiques, de quatre Megabytes cadascuna, amb els següents senyals:

Bus de dades D0..D7, Bus d'adreces A0..A10, senyals #RAS (enclavament de fila d'adreça), #CAS (enclavament de columna d'adreça), #RD (habilitació de lectura), #WR (habilitació d'escriptura), #CS (selecció de xip).

Nota: el símbol '#' indica 'activa a nivell baix' davant el nom d'un senyal.

El sistema a implementar ha de partir de 32 Megabytes de RAM i ha de permetre l'ampliació fins a 256 Megabytes.

**A)** Feu un diagrama de blocs de l'ementat sistema on quedi ben clar els diferents dispositius i les interconnexions entre ells (nom, número... de senyals). Implementeu la lògica de descodificació necessària per tal que la memòria RAM quedi ubicada a partir de l'adreça 00000000h en configuració entrelaçada (permet l'accés a una paraula de 32bits en un sol accés). Indiqueu esquemàticament i comenteu el funcionament (camins de senyals, dependències, tipus de lògica...) del controlador de memòria dinàmica que ubicareu entre el processador i els xips de memòria.

Com que el cap del projecte està molt content amb les primeres proves realitzades amb els nostres prototipus (ja tenim unes 'petites' aplicacions funcionant) s'ha 'informat' i ens demana, per augmentar el rendiment del sistema, que hi afegim una 'cache'.

**B)** Il·lustreu les modificacions necessàries per afegir al sistema descrit en l'apartat anterior una memòria CAU ('cache') associativa de 4 vies de 64 Kilobytes (amb peces de 16K per 8 bits). Descriviu-ne la organització interna del directori (entrades, línies, blocs, paraules...).

Encara teniem 'pendent' resoldre l'entrada/sortida. Aprofitant uns mòduls genèrics (controladors) existents podem 'personalitzar' els sistemes per a cada client. Aquests mòduls tenen els següents senyals:

Bus de dades D0..D32, Bus d'adreces A0..A15, #RD (habilitació de lectura), #WR (habilitació d'escriptura), #CS (selecció de xip) i INT (petició d'interrupció).

**C)** Afegiu els elements necessaris al sistema per tal de poder ubicar fins a vuit d'aquests mòduls en un bus d'expansió que tindrà els següents senyals:

Bus de dades D0..D32, Bus d'adreces A0..A15, #RD (habilitació de lectura), #WR (habilitació d'escriptura), #CS0..#CS7 (vuit seleccions de xip) i IRQ0..IRQ7 (vuit peticions d'interrupció).

Aquests 'perifèrics' han de quedar 'mapejats' en blocs de 64Kilobytes 'per sobre' de la posició màxima de memòria RAM (256 Megabytes). El controlador d'interrupcions restarà 'per sobre' de l'últim perifèric i vectoritzarà les interrupcions a partir del vector '32' (cada vector ocupa quatre adreces).

Nota: Heu de fer aquesta 'prova' en cinquanta minuts. Dosifiqueu-vos el temps adequadament per tal de resoldre'l **fins al final** de manera coherent. No perdeu el temps 'aprofundint' en detalls d'un apartat i que això comporti deixar-ne d'altres 'en blanc'. Recordem que l'avaluació la fareu vosaltres mateixos.