

# Olorim 2.3

Manual de l'usuari.

Març de 2003.

## 1) INTRODUCCIO:

Benvinguts al grup d'usuaris d' OLORIM. Aquest sistema és el resultat de la evolució de diverses configuracions de sistemes *microcontrolador* basats en derivats de la família MCS '51 de Intel. L'objectiu d'aquest disseny ha estat oferir al usuari la major flexibilitat a l'hora de desenvolupar i implementar aplicacions basades en aquest *microcontrolador*. Aquesta flexibilitat és orientada en dues línies: aprofitar al màxim els recursos oferts per aquests *processadors* i minimitzar el maquinari necessari per adaptar-lo a les necessitats de l'aplicació final.

Aquest document cobreix tots els aspectes descrits anteriorment. Això NO és un "Manual de la família MCS '51", "Aplicacions amb *microcontrolador*" ni un "Manual de Programació per *Microcontroladors*". De ben segur que a les biblioteques de les vostres contrades hi ha texts que cobreixen meravellosament aquests subjectes.

Altècnia aconsella emprar, sempre que sigui possible, les fonts d'informació "originals". A tal efecte cal nomenar: "MCS 51 Microcontroller Family User's Manual" (Codi: 272383-002), el "Datasheet" del 80C552 de Philips i els manuals de les eines de programació que fareu servir.

L'equip de desenvolupament d'Altècnia desitja que aquest sistema cobreixi totes les vostres expectatives i us doni tantes satisfaccions com ens ha donat a nosaltres fins a la data. Seguim treballant fort per oferir als nostres clients solucions senzilles i efectives per posar la tecnologia al servei de la vida.

## 2) CARACTERISTIQUES PRINCIPALS:

### CPU :

- 80C552 (1) a 18.432 MHz (2).

### Memòria:

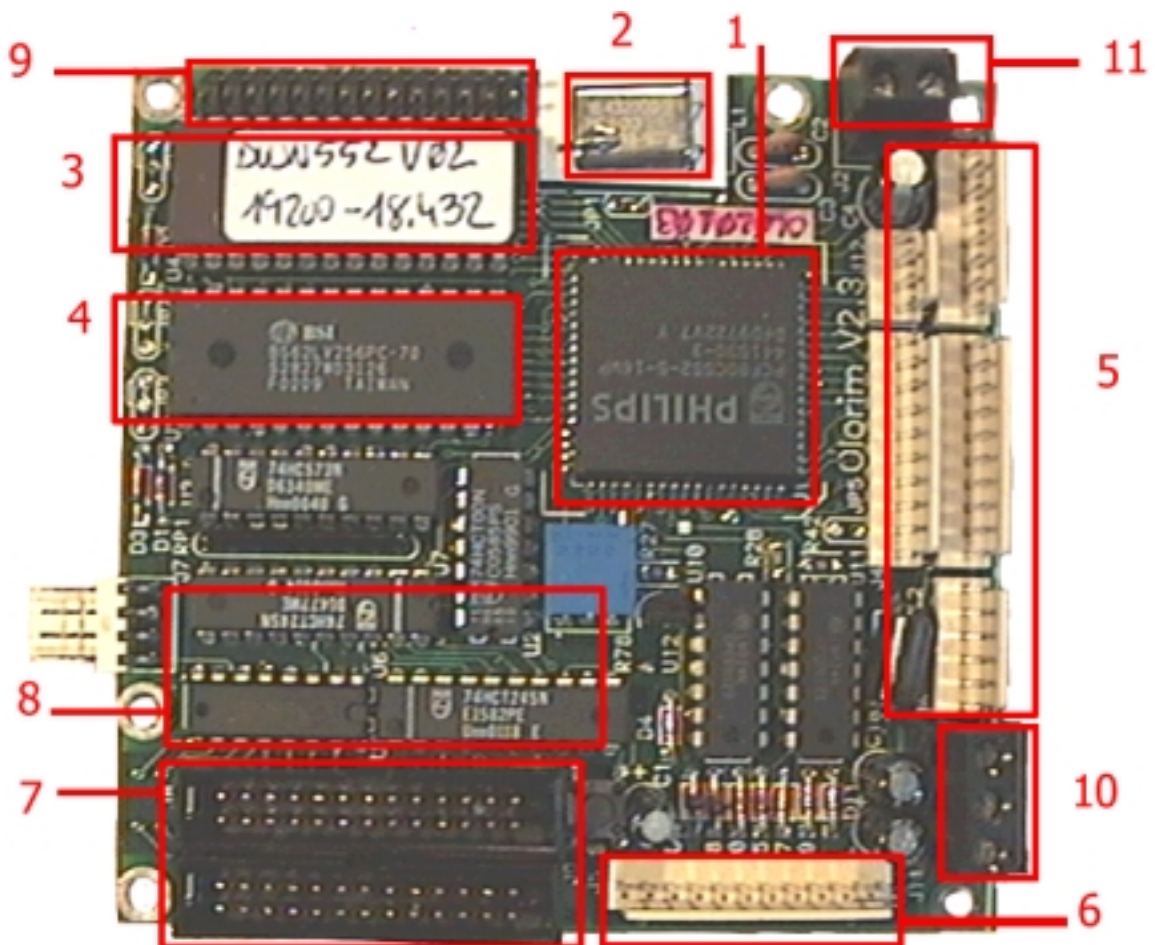
- 32 Kbytes ROM (3), 32 Kbytes RAM (4) *no-volàtil*.
- Zona combinada que permet la càrrega de programes.

### Entrades/Sortides:

- Ports 1,3 i 4 del *processador* totalment accessibles pel usuari (5).
- Port 5 (8 entrades analògiques) protegit contra *sobretensions* (6).
- Connexió per dos *busos* (7) de quatre espais de setze bytes descodificats i protegits/amplificats mitjançant *buffers* (8) amb adaptació d'impedàncies.
- Connexió per un espai extern de vuit Kbytes descodificat (9).

### Altres:

- Alimentacions analògica (10) i digital separades (11).

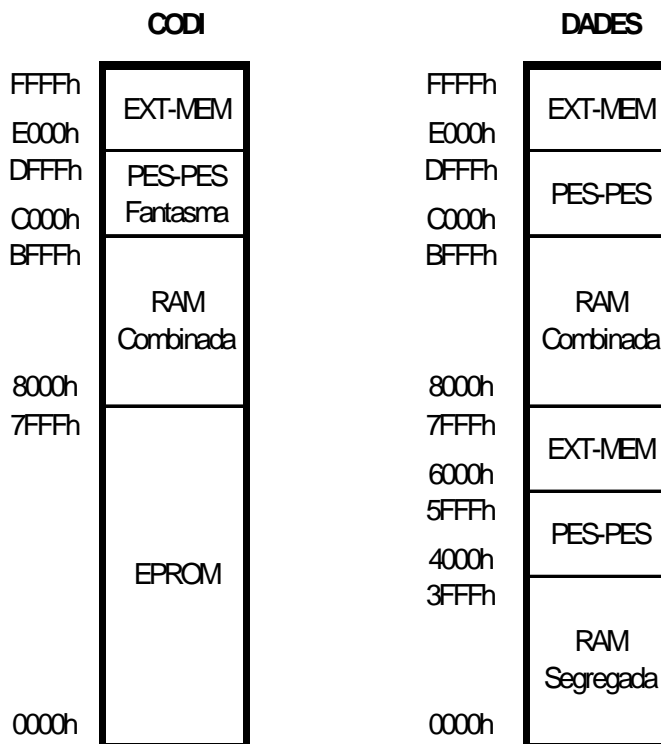


### 3) DESCRIPCIO DEL SISTEMA:

El sistema ofereix diverses possibilitats de configuració i es serveix muntat sota una implementació "típica". Cadascuna de les característiques es descriurà basant-se en aquesta disposició fent referència, si cal, en les variants aplicables.

#### 3.a) Mapa de memòria, espais físics i lògics.

Els dispositius derivats de la família MCS '51 adrecen un màxim de 64 Kbytes externs en dos mapes separats, CODI i DADES. Olorim 2.3 (i tots els sistemes de la revisió 2.3) tenen assignat el següent mapa de memòria:



**3.a.1) Zona EPROM:** Espai de 32 Kbytes ubicat des de l'adreça 0000h fins a la 7FFFh de la memòria de CODI.

Olorim es serveix amb una EPROM 27256 que conté un carregador de codi. Aquest carregador és basat en la nota d'aplicació AN-440 de Philips. La càrrega i execució de programes sobre una memòria combinada (RAM) és la manera més adient de desenvolupar i depurar aplicacions basant-se en la estratègia d'assaig i error. Correspondrà al usuari planificar els cicles de prova necessaris. Els codis (programes) acceptats pel carregador han d'estar en format "Hexadecimal Intel Standard".

El sistema accepta dispositius EPROM des del tipus 2764 (8 Kbytes) fins a 27256 (32 Kbytes). En cas que fos necessari substituir aquesta memòria per un de tipus 2764 (i només en aquest cas) serà necessari modificar la posició de JP2 (per defecte 1-2 creuats) a la posició 2-3 tallant la pista existent entre 1-2.

3.a.2.) **Zona RAM:** Espai de 32 Kbytes ubicat en dos espais lògics diferents amb inicis a l'adreça 0000h i 8000h i mida 16 Kbytes. Aquesta configuració "atípica" (dos blocs lògics diferents sobre un únic dispositiu físic) ens permet la càrrega de codi. El bloc "inferior" (0000h fins 3FFFh) és segregat i únicament vist des del espai de dades mentre que el superior (8000h fins BFFFh) es presenta combinat i és visible tant del espai de codi com el de dades. Així qualsevol valor escrit com a dada podrà ser executat.

Aquesta memòria és muntada amb tots els elements necessaris per obtenir suport *no-volàtil*. Només cal connectar una bateria recarregable de 3,6V (NiCd o bé NiMH, NO Ion-Li sota perill d'explosió) als pins 1 i 2 (positiu i negatiu, respectivament) de J7 per tal de mantenir les dades amb absència d'alimentació. El circuit també carrega la bateria mentre el sistema és alimentat.

El sistema accepta dispositius RAM des del tipus 2716 (2 Kbytes) fins a 27256. En cas de substituir aquest dispositiu per un de diferent al "original" és necessari arranjar els ponts JP3 i JP4 (tallant pistes quan calgui) segons l'indicat en la taula següent:

	X16	x32	x64	x128	x256
JP3	2-3	2-3	1-2	1-2	1-2
JP4	2-3	2-3	2-3	1-2	1-2

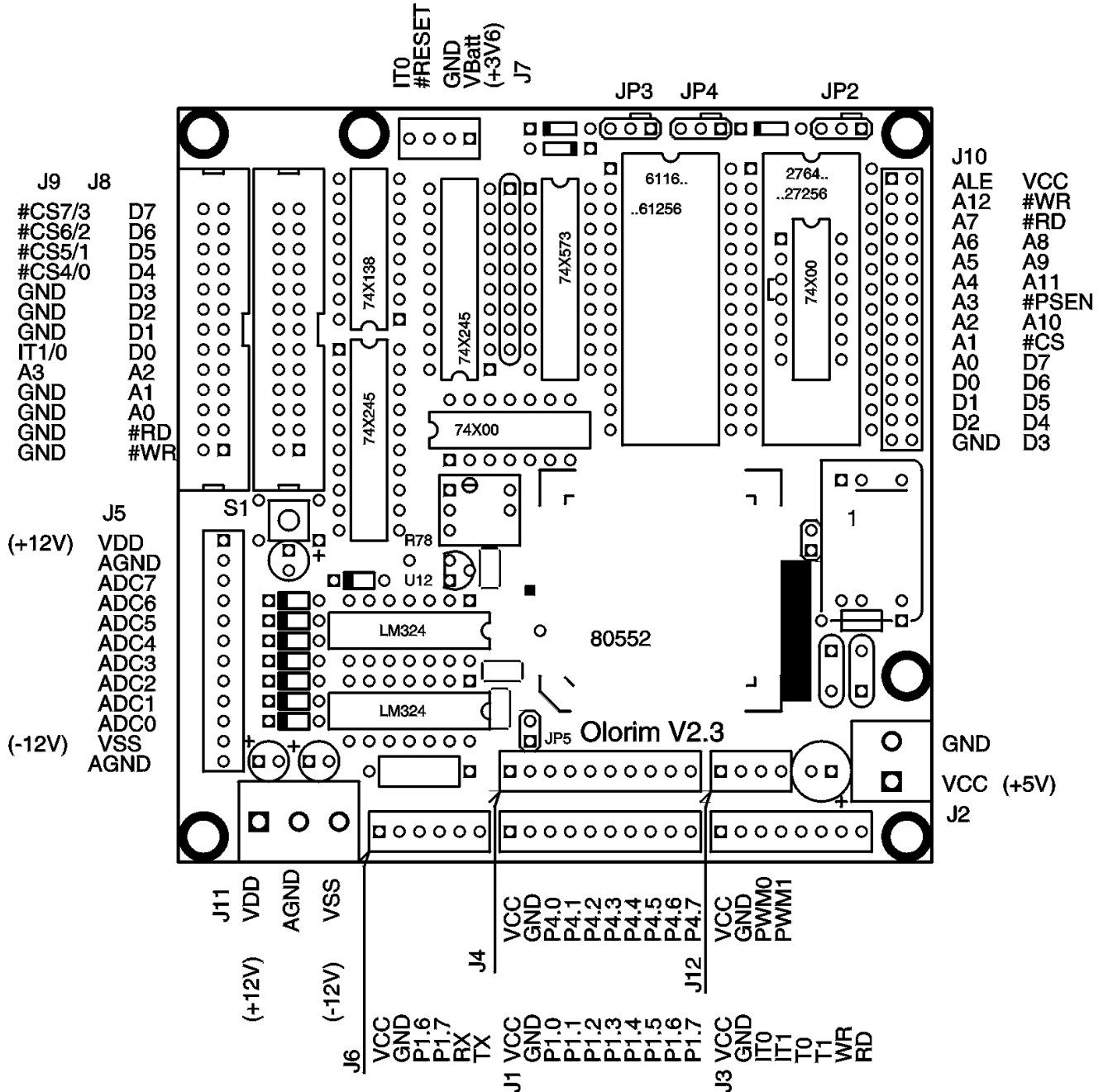
3.a.3) **Zona PES-PES:** (en anglès PIO-PIO): Espai ubicat a les zones 4000h fins 5FFFh i C000h fins DFFFh. Aquest espai respon al nom de Entrada Sortida Paral·lel i consta de dos blocs (*busos* corresponents a J8 i J9) en cadascun dels quals hi ha descodificats quatre "perifèrics" de setze adreces consecutives. A la pregunta de: Si  $16 \cdot 4 \cdot 2 = 128$ ; on són els 8063 bytes restants de cada espai? La resposta és molt senzilla: "replicats". Cada vuit blocs de setze adreces (aquests 128) són replicats seixanta-quatre cops consecutivament (volem dir que "es veuen" els mateixos ports cada seixanta-quatre adreces). Amés d'això, els vuit perifèrics (quatre per bus) també es veuen "replicats" a l'espai superior (amb inici a la C000h). Refeu els càlculs i sortirà 16.384, aquesta és la conseqüència d'efectuar descodificacions redundants per estalviar hardware. En capítols posteriors ampliarem en detall l'estructura i tractament dels elements "penjats" sobre aquests *busos*.

Cal veure que hi ha una zona "Fantasma PIO-PIO". L'anomenem fantasma perquè pot fer "por" (al·lucinar certs dispositius) encara que tots sabem que els fantasmes no existeixen i no fan mal a ningú (excepte aquells que creem i ens creiem en els paratges més obscurs del nostre conscient). Com veurem més endavant, aquesta zona respondrà a la descodificació però no al control produint possibles estats ficticis (tot dependrà de la correcció de les implementacions).

3.a.4) **Zona EXT-MEM:** Espai de 8 Kbytes replicat a dos llocs, amb inicis a les adreces 6000h i E000h. Aquest espai és destinat a la connexió de perifèrics que requereixen "gran finestra de memòria" (com pantalles, per exemple) o bé aplicacions amb "milers de ports" (?).

### 3.b) Connexions.

En aquest capítol descriurem les connexions i els senyals associats a cada connector, per seguir les explicacions ubiqueu-vos en la següent figura:



**3.b.1) Alimentació Digital (J2):** Olorim requereix, com a mínim, d'una alimentació contínua i estabilitzada de 5V (VCC). Olorim consumeix 40mA a 5V, a ple funcionament (sense entrar en mode baix consum) amb un *driver* tipus MAX232 per la línia sèrie (munteu una GAL en qualsevol circuit i vegeu-ne el consum). Per a la tria de la font caldrà tenir en compte la càrrega afegida (perifèrics) al sistema.

**3.b.2) Alimentació Analògica (J11):** S'ha previst una entrada d'alimentació simètrica per a tota la part analògica. Hi ha un regulador lineal (78L05) que baixa la tensió VDD (típicament 12V) fins a 5V AVCC requerits pel microprocessador. El perquè d'aquesta alimentació (més elevada i simètrica) és en el fet de garantir el balanç del circuit d'entrada. Hi ha un amplificador operacional muntat en seguidor de tensió per a cada canal, amb possibilitat de "reduir" el rang d'entrada. Amb això aconseguim unes característiques òptimes de funcionament: entrades analògiques de 0 a 10V (del primer al últim), protecció contra sobre-tensions (suporta excessos del 300%) i una impedància d'entrada fixada en 1 MOhm (per minimitzar la influència del equip sobre la mesura).

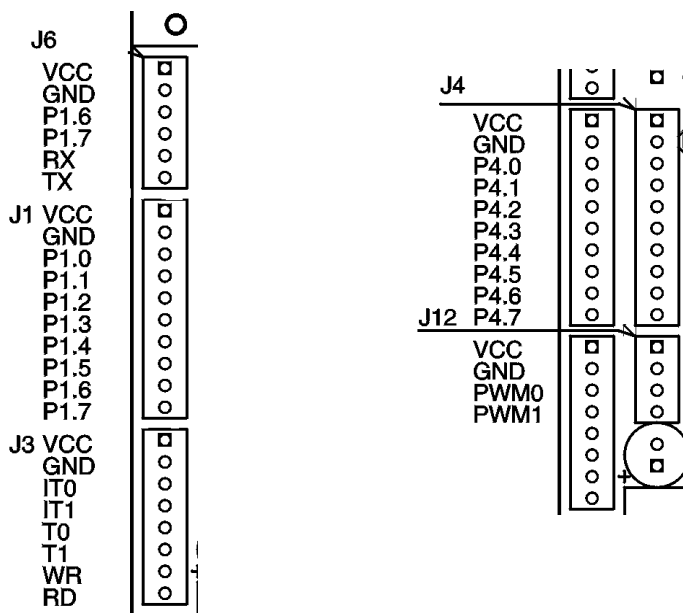
Es pot fer servir una alimentació única fent un pont entre AGND i VSS i el mínim valor admès per a VDD és de 7,5 V D.C. estabilitzats.

També es pot prescindir d'aquesta alimentació i alimentar la part analògica a través de l'alimentació digital. Per fer això, s'ha de extreure U12 (78L05) i instal·lar un pont entre el pin 3 d'aquest (sortida) i un pad "suelto" que hi ha a prop (just sobre la serigrafia U12).

**3.b.3) Ports 1,3 i 4:** Tots els pins dels ports 1, 3 i 4 del micro són repartits entre els connectors J1, J3, J4 i J6. En tots aquests connectors, amés hi ha una alimentació desacoblada i possibilitat d'inserir una resistència en sèrie per a cada senyal digital amb la finalitat d'adaptar impedàncies en el cas que s'hi connecti un cable "llarg" (de més de un pam). Cal recordar que hi ha pins de port que tenen funcions "alternatives" (cas de P3.6 i P3.7 que són RD i WR) emprades per a la seva funció. La mala utilització d'aquestes connexions poden dur a malfuncionaments inclòs a malmetre el sistema. També cal recordar que un mateix senyal pot estar present en diversos connectors i/o llocs del sistema.

Els senyals d'aquests connectors són:

- J1: VCC, GND, P1.0 fins P1.7 (CT0I, CT1I, CT2I, CT3I, T2, RT2, SCL i SDA).
- J3: VCC, GND, P3.2 fins P3.7 (INT0, INT1, T0, T1, WR i RD).
- J4: VCC, GND, P4.0 fins P4.7 (CMRS0 fins CMRS5, CMT0 i CMT1).
- J6: VCC, GND, P1.6, P1.7, P3.0 i P3.1 (SCL, SDA, RXD i TXD).

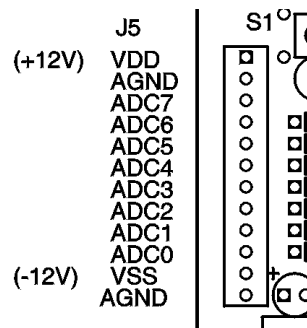


**3.b.4) Sortides PWM:** Aquestes (dues) són al connector J12. Aquestes sortides tenen una configuració "push-pull" capaç de donar/acceptar corrents de 3mA. Els senyals d'aquest connector són:

J12: VCC, GND, PWM0 i PWM1.

**3.b.5) Entrades Analògiques:** Aquestes es faran a través del connector J5. Després de la etapa de condicionament/protecció van al port 5 del micro. En aquest connector, amés de les entrades analògiques, hi ha presents les alimentacions (analògiques) per tal de permetre l'alimentació de les etapes de condicionament del senyal que siguin necessàries. Els senyals d'aquest connector són:

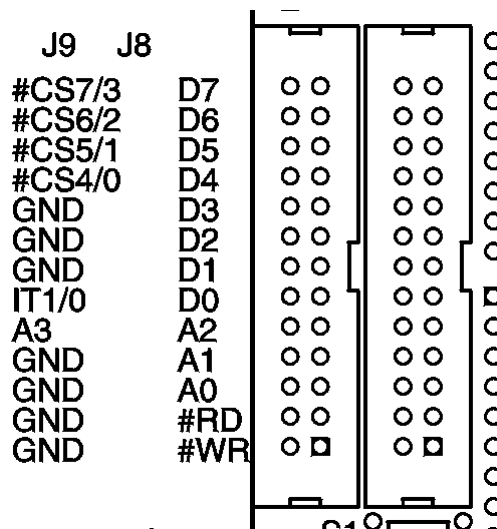
J5: VDD,AGND, ADC7 fins ADC0, VSS i AGND (P5.7 fins P5.0). Ull amb l'ordre!!



**3.b.6) Connectors PES (PIO):** Aquests són els connectors J8 i J9, del tipus IDC de 26 pins. En cadascun d'aquests connectors hi ha els vuit senyals de dades, quatre adreces, quatre senyals de CS (actius a nivell baix), els senyals RD/WR, una interrupció i la resta (7 en total) són connectats a massa (GND). Els senyals d'aquests connectors són els següents:

J8 i J9: Pins senars (1 fins 25): WR, RD, A0 fins A2, D0 fins D7.

Pins parells (2 fins 26): quatre GND, A3, INT, tres GND, CSi fins CSi+3.





Els senyals digitals d'aquests connectors són aïllats del bus del processador a través de *búffers* i en el cas dels senyals "més crítics" (RD i WR) *bufferitzats* de manera independent (per a cada bus) i adaptada la seva impedància. Això permet "penjar" en estructura "de bus" més d'un dispositiu. Per raons de fiabilitat cal tenir molta cura a l'hora del disseny (nº de càrregues i distàncies) d'aquests perifèrics (de ben segur que 10 càrregues sobre un cable de 1 metre sense els terminadors adequats no funcionaran correctament).

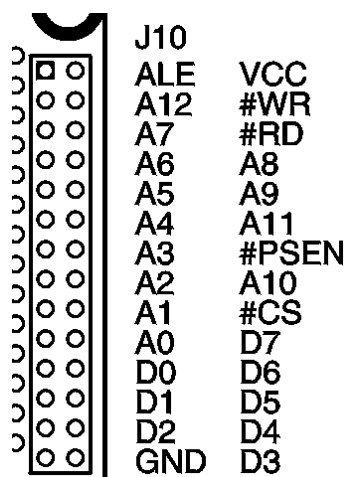
Com s'havia apuntat anteriorment, cal veure que en aquests connectors no hi ha present el senyal PSEN (la última instància d'habilitació de lectura en memòria de codi) però que la descodificació (que només depèn de les adreces) segueix funcionant. Per això, un accés a codi dins el rang d'adreces de les zones "fantasmes PES-PES" (o bé "PIO-PIO phantom") ja sigui produït per la execució de codi (fetch) o l'accés directe (instruccions MOVC) provocarà una activació dels senyals CS (i d'altres més íntims o interns) amb la conseqüent activació de "búffers". De ben segur que, en aquests casos, no es produirà moviment dels senyals RW/WR i un sistema dissenyat correctament no en patirà cap conseqüència. Qui pot garantir al 100% el rigor dels seus dissenys? Intentem, amés, no accedir a aquestes zones.

**3.b.7) Connector EXT-MEM:** A través d'aquest connector oferim la possibilitat d'afegir un bloc descodificat de memòria de 8 Kbytes. També hi són presents els senyals de control PSEN, ALE, WR i RD. El senyal CS d'habilitació present en aquest connector és actiu a nivell baix i s'activa quan es produeix un adreçament dins aquesta zona. A nivell elèctric, els senyals presents són directament els que provenen del processador; per això (i tal com està carregat el sistema), només s'hi pot connectar una única càrrega per senyal. En cas de voler connectar més d'un dispositiu caldrà "bufferitzar" TOTS els senyals utilitzats (per això la presència del senyal ALE, per qüestions de retards és preferible tornar a enclavar les adreces baixes en comptes de propagar les ja enclavades). Pel que fa a mapa de memòria, i a diferència de la zona "PES-PES", aquí no es produeix l'efecte fantasma anteriorment descrit.

En aquest connector (que no és un IDC) el patillatge segueix un ordre com el dels xips i la disposició dels senyals és del "tipus memòria":

J10: Del pin 1 al 14: ALE, A12, A7 fins A0, D0 fins D2 i GND.

Del 15 al 28: D3 fins D7, CS, A10, PSEN, A11, A9, A8, RD, WR i VCC.



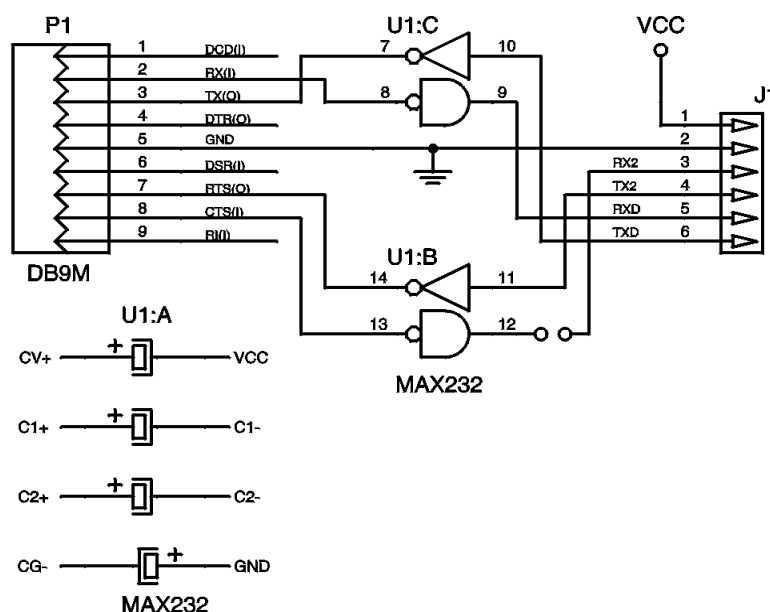
3.b.8) **Connector SUPERVISIO:** J7 és el connector adient per connectar un dispositiu "supervisor". Aquests dispositius, supervisen l'alimentació advertint al processador d'una fallada imminent i mantenint una alimentació de salvaguarda. També gestionen de manera fiable el senyal de RESET del processador. A través d'ell, podem també connectar un polsador per produir un RESET a voluntat de l'usuari (ara és el moment d'advertir que ja n'hi ha un a tal efecte, S1, en la placa). Només caldrà curtcircuitar els pins 2 i 3 mitjançant un polsador extern.

J7: Vbatt, GND, RESET, IT0.

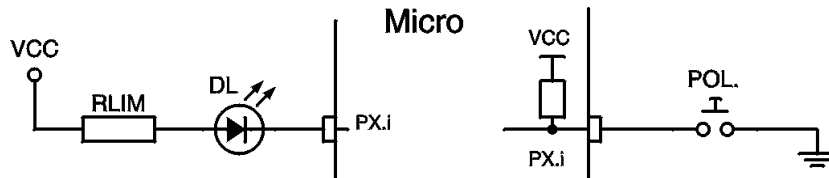
### 3.c) Descripció Funcional.

Un cop coneguts tots els elements i les possibilitats d'interconnexió del sistema, anem a comentar les accions necessàries per tal d'anar posant en marxa les diferents prestacions/serveis així com consideracions entorn al disseny de perifèrics.

3.c.1) **Línia Sèrie:** Una primera necessitat (suposem superada la fase d'alimentació) és comunicar el nostre sistema. El mètode més "simple" és la via sèrie. Després de diversos "casaments i divorcis" (amb els maldecaps que això comporta) hem decidit no incloure *driver* de línia sèrie en els nostres sistemes. Deixem aquesta elecció com a element extern per tal de poder utilitzar la tecnologia més adient a l'aplicació (RS-232, 422, 485...). Per desenvolupar aplicacions anirà molt bé connectar a J6 un *driver* de 232 conformat per qualsevol adaptador de nivells existent en el mercat i, a través d'aquest i una connexió Null Modem, connectar-lo a un PC en el que farem córrer un programa del tipus terminal (per defecte la configuració és 19.200, N, 8,1). Un cop connectat i alimentat premem RESET (enviar un *escape* causa el mateix efecte) i ens apareix un educat missatge de benvinguda informant-nos que el sistema està a la espera d'un codi per executar. Transferim el fitxer (en format Hexadecimal Intel Standard, que és el més corrent dels generats per les eines de desenvolupament) i si la càrrega ha estat satisfactòria serà indicat i el codi s'estarà executant. En cas contrari, es transfereix un missatge amb les possibles fonts d'error. Exemple de *driver* 232

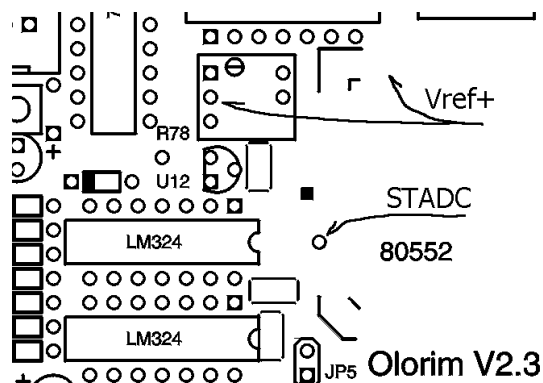


3.c.2) Ports: Pel que fa a les connexions d'elements en els ports del micro, deixem al vostre criteri els elements i la configuració d'aquests. Només cal recordar que un simple LED (que s'encén amb un zero lògic i té la seva resistència limitadora) o un polsador (que al ser pitjat posa un zero lògic al pin i comptem amb el pull-up intern) per a efectuar sortides/entrades són elements molt senzills i més efectius.



3.c.3) Convertidor A/D: Per utilitzar el convertidor Analògic digital, amés del que sabem, ens cal conèixer certs detalls de la configuració del sistema.

Vref- és portat al potencial de AGND (0 Volts) i Vref+ tret del cursor del potenciòmetre R78. Un dels extrems d'aquest potenciòmetre és connectat a AVCC (5V) i l'altre a AGND (0V). D'aquest mode podem ajustar Vref+ en qualsevol punt entre 0 i 5 Volts (no podem anar més enllà perquè el xip no ho permet). L'inconvenient és en el fet que el punt de prova ha estat el gran oblidat en aquesta implementació. Així doncs, per realitzar aquest ajust haureu de mesurar la tensió directament sobre el pin central del potenciòmetre o bé sobre el pin del micro.

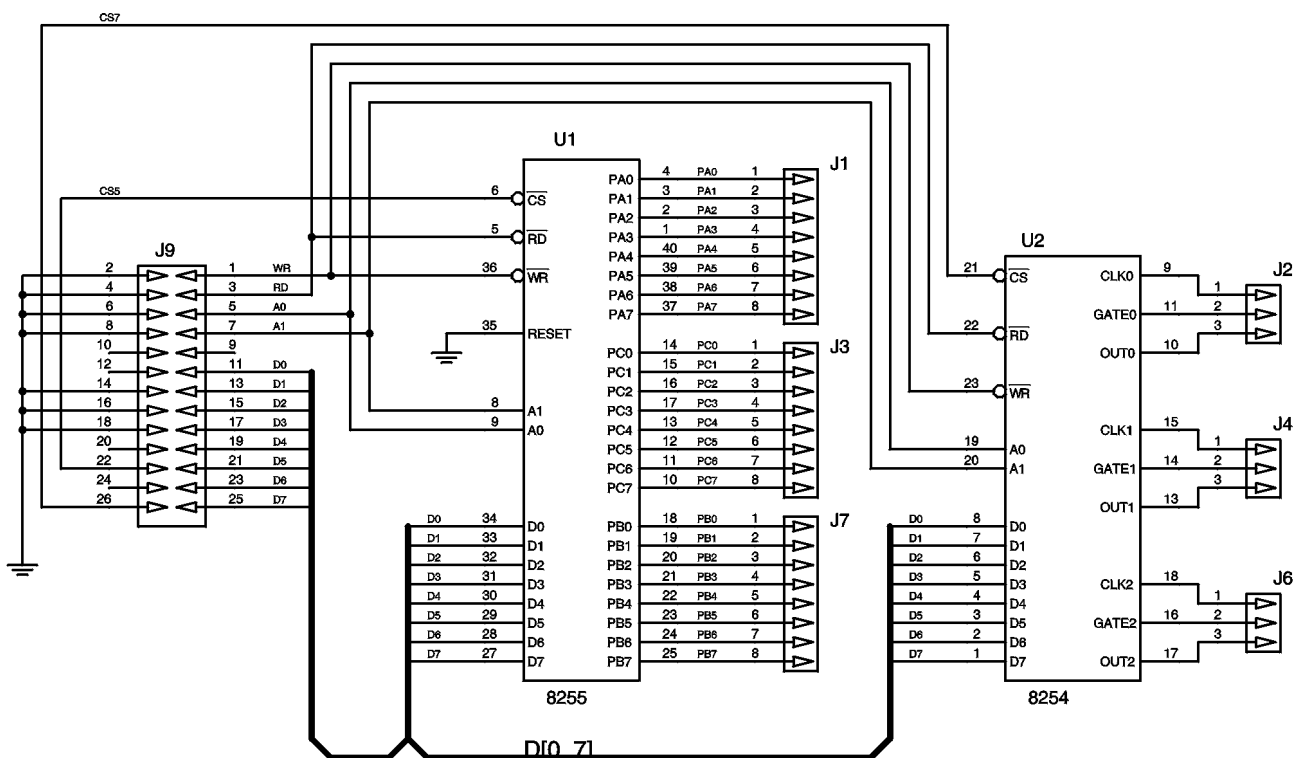


Un "solitari" d'aquesta placa, és el senyal STADC (que controla el disparo extern del convertidor). Aquest és sol, aïllat en un "pad" davant del micro (no congeniava amb cap connector i va quedar condemnat a vagar per la placa). Si l'heu de fer servir, aneu-lo a cercar davant la porta principal del micro (pins 1 al 4) i el trobareu esperant, segut a la vorera. ;-)

El circuit adaptador/protector d'entrades és muntat de manera que els senyals d'entrada abasten el rang de 0 a 10 Volts i són traslladats al rang 0 fins a 4,096 Volts. Com que el convertidor té una resolució de 10 bits, aconseguim "un pas" de 4 mV "enter" cosa que simplifica enormement els càlculs posteriors (no hem trobat una combinació/divisors efectius que permetin una "translació més decimal" sense minvar prestacions al sistema, si en sabeu alguna feu-nos-la arribar i serà benvinguda).

Sota comanda, es serveix amb un rang d'entrada (proteccions) de 0 a 5 Volts. En aquest cas, no s'efectua cap "divisió" i el senyals presents al connector J5 arriben "intactes" al micro. Ajusteu el convertidor, segons el procediment indicat, a les vostres necessitats.

3.c.4) **Expansió Entrada/Sortida:** Per adreçar dispositius ubicats en el bus "PES-PES" només cal saber a quin CSi és associat. Aquests poden ser CS0 fins CS3 del connector J8 o bé CS4 fins CS7 del connector J9. Cadascun d'aquests dispositius "ocupa" un espai de setze adreces i comencen a l'adreça C000h (és preferible usar aquest espai en comptes de les zones baixes). Per això, el primer dispositiu estarà ubicat des de l'adreça C000h fins a la C00Fh i associat al CS0, el segon des de l'adreça C010h fins a la C01Fh i associat al CS1, i així successivament fins al últim que estarà a l'adreça C070h fins a la C07Fh i associat al CS7. Exemple d'una connexió d'una PPI (8255) i un Timer (8254):



El tractament que aconsellem fer per aquesta estructura l'il·lustrem amb el següent exemple: Volem llegir del "tercer registre (control) del perifèric associat al CS5 (8255)"

Definim:

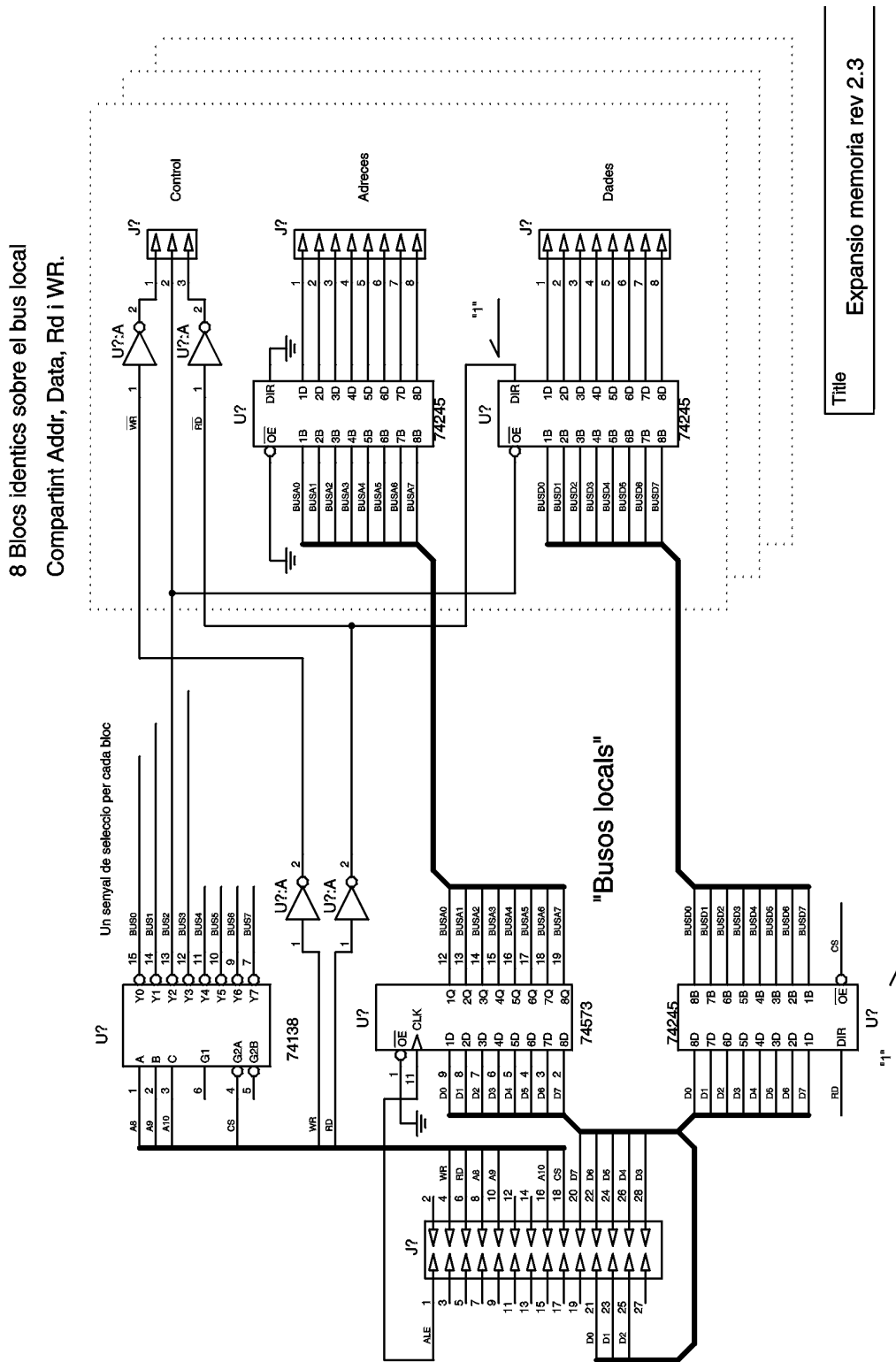
```
Base_perif EQU C050h ;El nostre perifèric
...
Port_A EQU 0 ;port de dada
...
Ctrl_perif EQU 3 ;port de control
```

Executem:

```
MOV DPTR,#Base_perif ;Apuntem al perifèric
MOV A,#Ctrl_perif ;al registre
MOVB A,@A+DPTR ; i llegim.
```

### 3.c.5) Expansió Memòria.

Aquest connector és destinat a ubicar "grans" extensions. Per a il·lustrar aquesta característica plantejem una expansió teòrica (no creiem que sigui lògic en la realitat) de vuit espais de dos-cents cinquanta-sis ports d'entrada sortida (creiem que connectar-hi una memòria, ja sigui codi o dades, seria un exemple trivial). Com s'ha comentat anteriorment, els perifèrics connectats en aquesta expansió han d'estar completament aïllats mitjançant búffers de mode que, a cada senyal, no hi hagi més de dues càrregues. També és preferible "enclavar" les adreces en comptes de "propagar-les".



#### 4) EPILOG:

Aquesta és la versió 1.0 del manual del usuari del sistema Olorim rev. 2.3. Es segur que en aquest document existeixen moltes incorreccions. Tanmateix hi ha passatges que podrien ser redactats d'una manera alternativa per tal d'il·lustrar més clarament els conceptes exposats. Agraïrem qualsevol suggerència al respecte. Podeu posar-vos en contacte amb nosaltres a través de l'adreça de correu [miki@eia.udg.es](mailto:miki@eia.udg.es) o bé consultar les últimes actuacions a: <http://www.altecnia.com>.

#### 5) ANOTACIONS: